Circuits intégrés, logique et calcul

M. Dubacq

S1D 2009

1 Table de vérité

Objectif : *Comprendre la formulation d'un problème logique, écrire une table de vérité.*

- S'il ne fait pas beau et que mes copains sont disponibles, je vais au restaurant ;
- Si mes copains ne sont pas disponibles, je ne vais pas au restaurant.
- S'il fait beau, je vais au parc.
- *(a)* Je ne fais qu'une seule activité par jour. *(b)* Je fais une (et une seule) activité par jour

1. Quelles sont les entrées de ce problème ? *Est-ce qu'il fait beau ? Est-ce que mes copains sont disponibles ?*
2. Quelles sont les sorties de ce problème ? *Est-ce que je vais au restaurant ? Est-ce que je vais au parc ?*
3. Établir la table de vérité donnée par ce problème. Discuter selon qu'on utilise la formulation a ou b.
   J'appelle « A » la condition « Il fait beau ». J'appelle « B » la condition « Mes copains sont disponibles ». J'appelle « C » la condition « Je vais au parc ». J'appelle « D » la condition « Je vais au restaurant ».

(a)

A	B	C	D
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	0

ou (a,b)

A	B	C	D
0	0	1	0
0	1	0	1
1	0	1	0
1	1	1	0

La formulation (a) *est ambiguë, car elle ne permet pas de trancher pour la valeur de* C *quand* A = B = 0.

2 Démontrer les égalités suivantes

Objectif : *Savoir manipuler les équations booléennes.*

1. $a + ab = a$; *Vu en cours.* $a + ab = a(1 + b) = a$.
2. $a + bc = (a + b)(a + c)$; $(a + b)(a + c) = a + ab + ac + bc = a + ac + bc = a + bc$
3. $a + \overline{a}b = a + b$; *Vu en cours.* $a + \overline{a}b = a(b + \overline{b}) + \overline{a}b = ab + a\overline{b} + \overline{a}b + ab = a(b + \overline{b}) + b(a + \overline{a}) = a + b$. *NB :* $x = x + x$.

3 Simplification

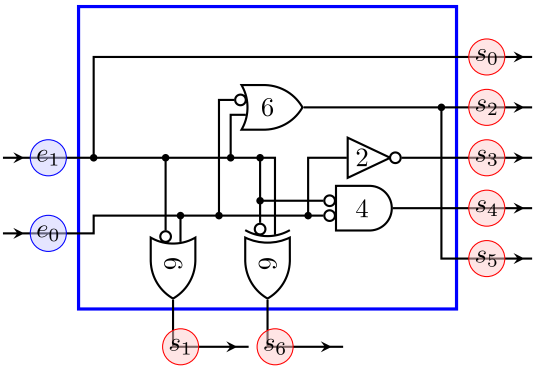
Objectif : *Savoir manipuler les équations booléennes, savoir simplifier.*

Simplifiez les expressions suivantes :

1. $abc + \overline{a}bc + \overline{a}\overline{b}c + a\overline{b}c$; $bca + bc\overline{a} + \overline{b}c\overline{a} + \overline{b}ca = bc(a + \overline{a}) + \overline{b}c(a + \overline{a}) = bc + \overline{b}c = c$
2. $ac + dc + \overline{d}c + \overline{b}a\overline{d}c + \overline{b}ad$; $ac + dc + \overline{d}c + \overline{b}a\overline{d}c + \overline{b}ad = c(a + d + \overline{d} + \overline{b}a\overline{d}) + \overline{b}ad = c + \overline{b}ad$
3. $abc + \overline{c}.\overline{b} + \overline{a}\overline{b}$. $abc + \overline{c}.\overline{b} + \overline{a}\overline{b} = abc + \overline{b}(\overline{c} + \overline{a}) = b.ac + \overline{b}.\overline{ac} = \overline{ac} \oplus b = \overline{b} \oplus ac$ *(deux solutions au choix ; sans XOR, peu de simplifications possibles).*

4 Interprétation de circuit

Objectif : *Connaître les portes élémentaires, savoir établir des équations booléennes, connaître les indicateurs de performance simples d'un circuit, comprendre la nature logarithmique de la mesure en bits.*



1. Identifiez les entrées et les sorties de ce circuit. *e_0 et e_1 sont les entrées.*
2. Établissez la formule booléenne de chaque sortie en fonction des entrées. Simplifiez si possible.

$$
\begin{aligned}
s_0 &= e_1 \\
s_1 &= \overline{e_1} + e_0 \\
s_2 &= \overline{e_0} + e_1 \\
s_3 &= \overline{e_0} \\
s_4 &= \overline{e_0}.\overline{e_1} \\
s_5 &= s_2 = \overline{e_0} + e_1 \\
s_6 &= \overline{e_1} \oplus e_1 = 1
\end{aligned}
$$

3. Faites la table de vérité correspondante. Utilisez la pour la question suivante.

e_1	e_0	s_6	s_5	s_4	s_3	s_2	s_1	s_0
0	0	1	1	1	1	1	1	0
0	1	1	0	0	0	0	1	0
1	0	1	1	0	1	1	0	1
1	1	1	1	0	0	1	1	1

4. Ce circuit est en fait destiné à être connecté (en sortie) à des diodes électro-luminescentes numérotées comme montré en dessous. Une valeur de 1 fait s'allumer la diode, et une valeur de 0 la fait s'éteindre. Quels sont les dessins obtenus pour les différentes valeurs d'entrées ? *Voir dessin*
5. Quels sont les caractéristiques simples de mesure de performance de ce circuit ? Le numéro inscrit au centre des portes est le nombre de transistors nécessaires pour la réalisation de ces portes. *On compte 5 portes, qui valent 2+4+6+6+6 transistors, soit 24 transistors. La profondeur est de 1, le fan-in est de 2, et le fan-out est de 6 (pour l'entrée s_1). On pourrait bien sûr améliorer ceci en supprimant la porte XOR qui donne une sortie constante (8 transistors de moins).*

   NB : certains ouvrages comptent comme porte NOT isolée les portes NOT collées en entrée d'une autre porte (par exemple, AND avec un NOT sur une entrée, mais pas une porte NAND). La profondeur est alors augmentée de 1 par rapport à l'autre définition.
6. Vu les dessins formés, si on voulait faire un afficheur qui couvre toute la base 10, combien d'entrées faudrait-il à ce circuit ? Combien de sorties ? Faites le schéma-bloc de l'afficheur amélioré.

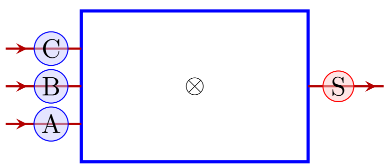
Schéma-bloc amélioré :

Les plus rapides pourront tenter de synthétiser le circuit amélioré complet.

5 Table de vérité

Objectif : *Comprendre la formulation d'un problème logique, écrire une table de vérité, passer d'une table de vérité à un système d'équations, passer d'un système d'équations à une représentation graphique.*

On veut définir une opération $\otimes$ qui correspond à l'opération suivante, sur 3 bits :
- Si A et B sont vrais, alors la sortie vaut $\overline{\mathrm{C}}$;
- Si A et C sont vrais, alors la sortie vaut $\overline{\mathrm{B}}$;
- Si B et C sont vrais, alors la sortie vaut $\overline{\mathrm{A}}$;
- Si A et B et C sont faux, alors la sortie vaut faux aussi ;
- Dans tous les cas autres cas, la sortie vaut faux.

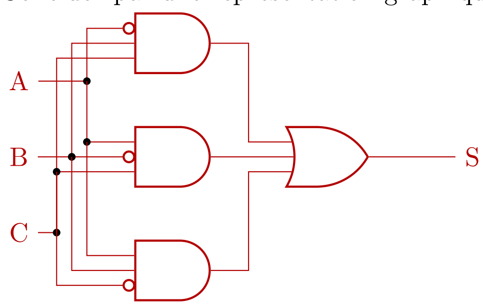


1. Faire un schéma-bloc de la fonction.

2. Établir la table de vérité de la fonction.

A	*B*	*C*	*S*
0	*0*	*0*	*0*
0	*0*	*1*	*0*
0	*1*	*0*	*0*
0	*1*	*1*	*1*
1	*0*	*0*	*0*
1	*0*	*1*	*1*
1	*1*	*0*	*1*
1	*1*	*1*	*0*

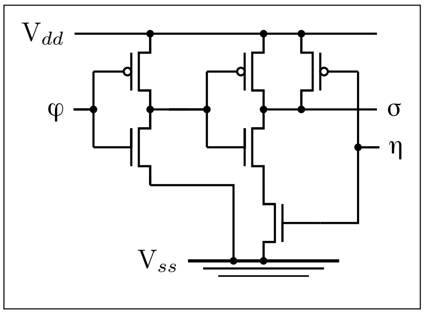
3. Donner une autre définition de cette fonction. *Exactement deux vrais (sur trois conditions).*
4. En utilisant la méthode systématique de synthèse de circuits, établissez des équations booléennes. *($\mathrm{S} = \overline{\mathrm{A}}\mathrm{BC} + \mathrm{A}\overline{\mathrm{B}}\mathrm{C} + \mathrm{AB}\overline{\mathrm{C}}$)*
5. Concluez par une représentation graphique du circuit.

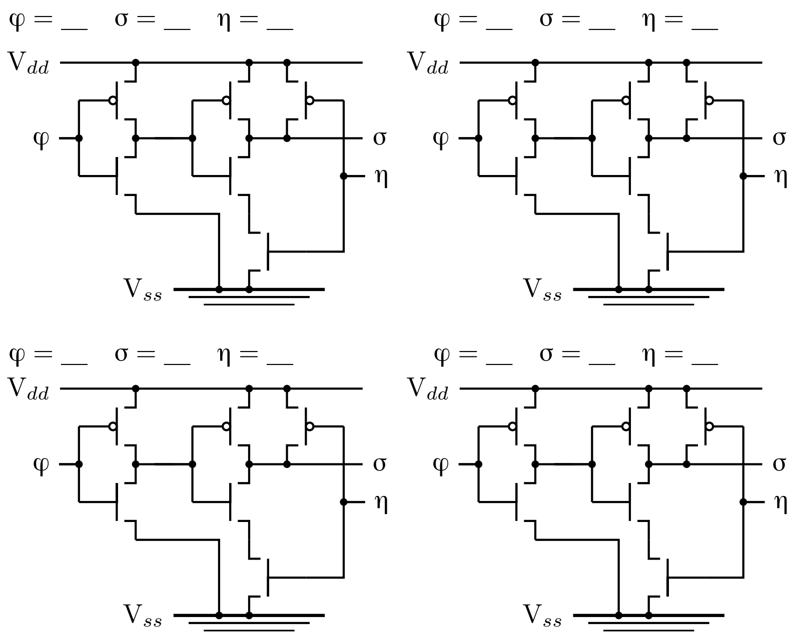


6 Technologie CMOS

Objectif : *Savoir traduire en logique booléenne un circuit CMOS.*

Soit le circuit suivant :

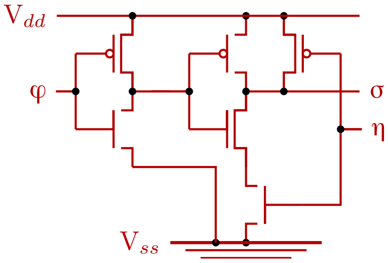


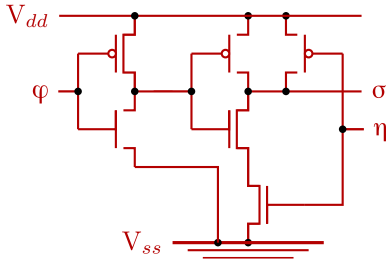


Ce circuit a été reproduit ci-contre en plusieurs exemplaires afin que vous puissiez faire des essais, avec les transistors tous en position ouverte. Les entrées/sorties sont ϕ phi, σ sigma et η eta. V_{dd} est la tension haute (1) et V_{ss} est la tension basse, comme usuellement.

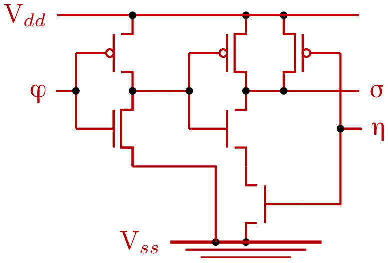
1. Rappelez le fonctionnement d'une porte PMOS ou NMOS. *Voir cours (NMOS passant sur 1, PMOS sur 0)*
2. Identifiez les entrées et les sorties de ce circuit CMOS.

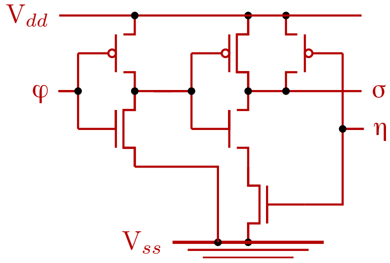
   φ et η sont des entrées parce qu'elles commandent des transistors, σ est une sortie parce qu'elle n'est que reliée aux sorties des transistors.
3. En vous aidant des dessins à côté, représentez en fonction des valeurs d'entrée les transistors dans l'état passant ou isolant. Déduisez-en les valeurs de sortie.





$\varphi =$ *0* $\sigma =$ *1* $\eta =$ *0* $\varphi =$ *0* $\sigma =$ *0* $\eta =$ *1*



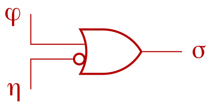


$\varphi =$ *1* $\sigma =$ *1* $\eta =$ *0* $\varphi =$ *1* $\sigma =$ *1* $\eta =$ *1*

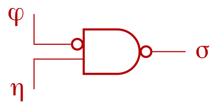
4. Faites une table de vérité pour ce circuit CMOS. Déduisez-en l'équation booléenne liant l'entrée à la sortie.

φ	η	σ
0	0	1
0	1	0
1	0	1
1	1	1

, soit $\sigma = (\varphi + \overline{\eta})$.



ou encore



.

5. Faites le schéma du circuit avec les symboles conventionnels. *Voir ci-dessus.*

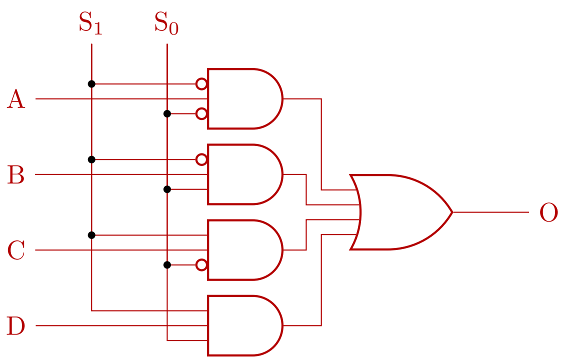
7 Synthèse de circuits

Objectif : *Passer d'une table de vérité à un système d'équations, connaître les circuits composés classiques, passer d'un système d'équations à une représentation graphique.*

1. Écrivez le schéma-bloc et la table de vérité *réduite* d'un multiplexeur 4:1. *6 entrées (A, B, C, D, S_1, S_0), 1 sortie (O).*

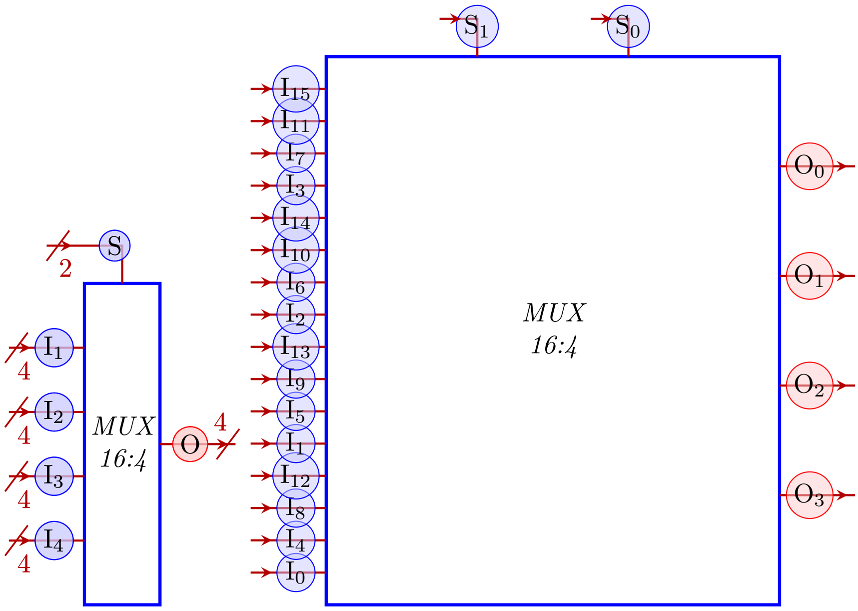
S_1	S_0	O
0	0	A
0	1	B
1	0	C
1	1	D

2. Transformez cette table en équation booléenne, puis en circuit.
$O = A\overline{S_1}\,\overline{S_0} + B\overline{S_1}S_0 + CS_1\overline{S_0} + DS_1S_0$



3. Est-il possible de faire un circuit qui a un fan-in de 2 au maximum ? *Oui, il suffit de remplacer un AND3 par 2 AND2 : $abc = (ab)c$, et le OR4 par trois OR2 : $a + b + c + d = (a + b) + (c + d)$.*
4. Faites le schéma bloc d'un multiplexeur 2:1 et d'un démultiplexeur 1:2. *Voir cours*
5. On connecte les deux précédents circuits en faisant O = E, et $S_{DMX} = \overline{S_{MUX}}$. Quel est l'effet de ce circuit combiné ? *Si* $S = 0$*, il connecte* A_{MUX} *à* B_{DMX} *et donne* 0 *à* A_{DMX} *; sinon il connecte* B_{MUX} *à* A_{DMX} *et donne* 0 *à* B_{DMX}.

6. Une série de 16 bits arrive, et on voudrait pouvoir sélectionner selon les cas les bits (0,4,8,12), les bits (1,5,9,13), les bits (2,6,10,14), ou encore les bits (3,7,11,15). Quel circuit classique utiliser ? Faites un schéma-bloc avant.
   Un MUX 16:4 (on connecte les quatre bits du premier paquet à la première entrée de chaque élément, les quatre bits du deuxième paquet à la deuxième entrée de chaque élément, etc.



8 Dock de station spatiale

Objectif : *Comprendre la formulation d'un problème logique, connaître les circuits composés classiques, passer d'un système d'équations à une représentation graphique, synthèse intuitive de circuits.*

Dans la station spatiale DS7 du quadrant α, la piste d'atterrissage comporte trois entrées différentes (numérotées 0, 1 et 2) mais la fin de la piste (avant le hangar à vaisseaux) est trop étroite, et donc seule une porte d'entrée à la fois doit être ouverte. Le commandant Jacques T. Klize doit fabriquer lui même les plans du circuit de contrôle des portes d'entrée. Comme il est assiégé par une flotte klingon, et que DS7 est très loin de toute ressource de la Fédération, il a à sa disposition :

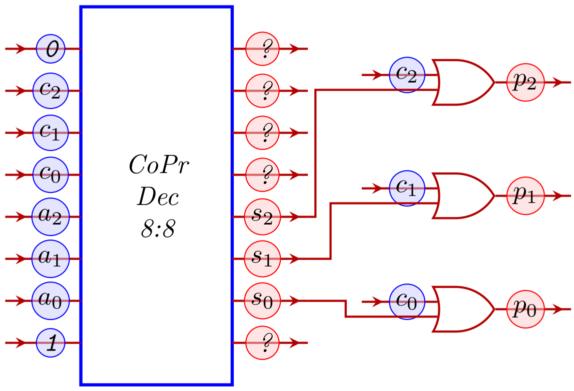
- trois portes commandées par un fil (0 : porte fermée, 1 : porte ouverte).
- trois détecteurs d'approche pour permettre de savoir si un vaisseau veut rentrer ou pas (0 : pas de vaisseau, 1 : un vaisseau demande à entrer).
- trois détecteurs de présence pour savoir si un vaisseau est déjà dans le couloir correspondant ou pas (0 : pas de vaisseau, 1 : un vaisseau présent).
- trois portes OR à deux entrées et un codeur à priorité 8:3, un décodeur 3:8.
- quelques centaines de mètres de fil.

Le système doit ouvrir une porte si et seulement si

- un vaisseau est en approche, qu'il n'y a pas de vaisseau en approche dans une voie avec un numéro plus élevé, et qu'il n'y a pas de vaisseau dans un des autres couloirs, **ou**
- s'il y a un vaisseau dans son couloir.

1. Écrire les équations booléennes correspondant au problème. On peut se passer de table de vérité.
   $p_0 = c_0 + a_0.\overline{a_1}.\overline{a_2}.\overline{c_1}.\overline{c_2}$ $p_1 = c_1 + a_1.\overline{a_2}.\overline{c_0}.\overline{c_2}$ $p_1 = c_2 + a_2.\overline{c_0}.\overline{c_1}$
2. En regardant d'abord sur un CoPr 4:2 relié en sortie à un DEC 2:4, donnez les équations booléennes des sorties $s_0, \ldots, s_7$ d'un CoPr 8:3 relié en sortie à un DEC 3:8 en fonction des entrées $i_0, \ldots, i_7$ (on supposera qu'il n'y a pas d'entrées invalides).
   $s_0 = i_0.\overline{i_1}.\overline{i_2}.\overline{i_3}.\overline{i_4}.\overline{i_5}.\overline{i_6}.\overline{i_7}$ $s_1 = i_1.\overline{i_2}.\overline{i_3}.\overline{i_4}.\overline{i_5}.\overline{i_6}.\overline{i_7}$ $s_2 = i_2.\overline{i_3}.\overline{i_4}.\overline{i_5}.\overline{i_6}.\overline{i_7}$ $s_3 = i_3.\overline{i_4}.\overline{i_5}.\overline{i_6}.\overline{i_7}$ $s_4 = i_4.\overline{i_5}.\overline{i_6}.\overline{i_7}$ $s_5 = i_5.\overline{i_6}.\overline{i_7}$ $s_6 = i_6.\overline{i_7}$ $s_6 = i_7$
3. Faire le circuit avec le matériel disponible (on pourra utiliser un entrée constante égale à 1 et une entrée constante égale à 0).

On connecte le circuit CoPr/DEC comme ceci :



9 Conception d'une ALU 4 bits/4 opérations

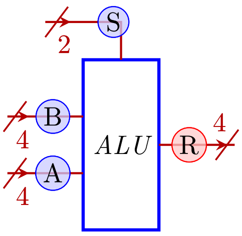
Objectif : *Connaître les circuits composés classiques, passer d'un système d'équations à une représentation graphique, synthèse intuitive de circuits.*

Le but de cet exercice est de faire un circuit qui prend deux nombres de 4 bits en entrée, et donne un nombre de 4 bits en sortie. Cette sortie peut avoir 4 valeurs possibles selon un sélecteur S :

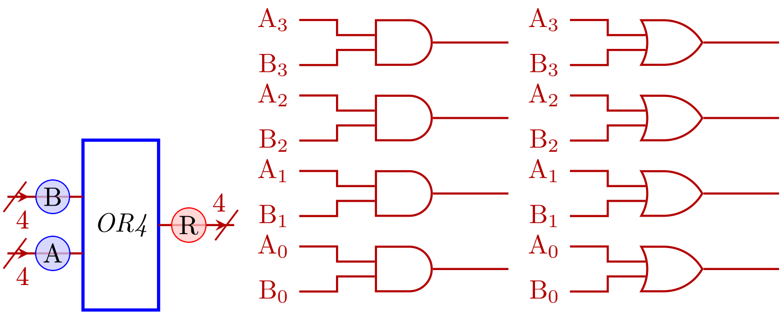
- R = A + B (en cas de dépassement, A + B est coupé à ses 4 bits de poids faible) ;
- R = A − B (Si A < B, on obtient en fait 4 + A − B) ;
- R = A and B.
- R = A or B.

Ce genre de circuit s'appelle une unité arithmétique et logique (ALU en anglais). Ils traitent le plus souvent des données plus grosses (32 à 128 bits pour chaque entrée) et des opérations plus nombreuses.

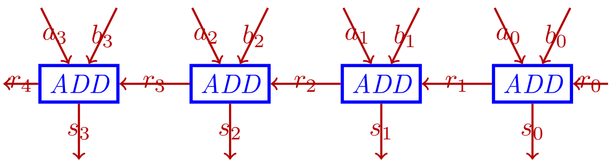
1. Faites le schéma-bloc de ce circuit.



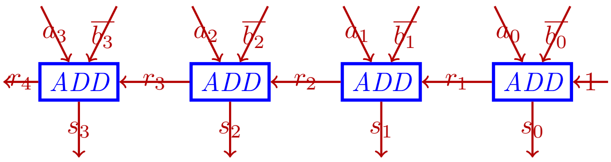
2. Comment faire un circuit qui fait uniquement la partie OR ? Et la partie AND ? Schéma-bloc, dessin.



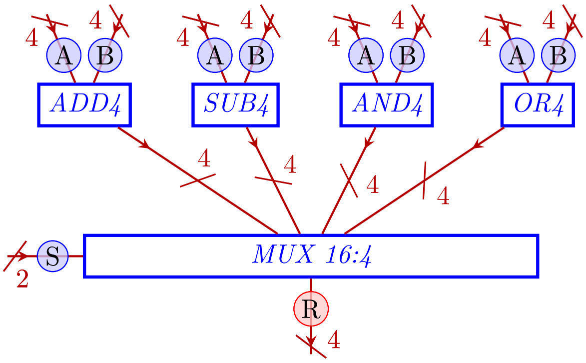
3. Concentrez-vous sur l'additionneur 4 bits. Comment le fabriquer à l'aide de circuits classiques ?
En utilisant trois additionneurs complets et un demi-additionneur, ou de quatre additionneurs. On remarquera que r_4 *sert de signal d'erreur, et que* r_0 *vaut 0.*



4. Pour faire une soustraction, une astuce bien connue est qu'il suffit de faire $R = A + \overline{B} + 1$. Faites l'essai en calculant $7 - 3$ et $15 - 8$. $0111 - 0011 = 0111 + 1100 + 1 = 0111 + 1101 = 10100$. *On coupe à 4, il reste* 0100, *ce qui est exact. Pareil pour* $1111 - 8 = 1111 + 0111 + 1 = (1)0111$.
5. En se servant de cette astuce, faites un circuit qui est capable de faire une soustraction sur 4 bits.
En utilisant quatre additionneurs. On remarquera que $\overline{r_4}$ *sert de signal d'erreur, et que* r_0 *vaut 1.*



6. Pour les plus rapides : combinez les deux circuits précédents en un seul (0) déclenchera une addition, 1 déclenchera une soustraction.
   Soit S le sélecteur. Au lieu de mettre $\overline{b_i}$ en entrée, on met $b_i \oplus S$ (ce qui inverse b_i si S vaut 1, et le laisse inchangé si S vaut 0). En entrée de r_0, on met $\overline{S}$. Et si on veut tester l'erreur, on regarde $r_4 \oplus S$!
7. Combinez vos quatre circuits précédents pour fabriquer votre ALU.



10 Circuits combinatoires et séquentiels

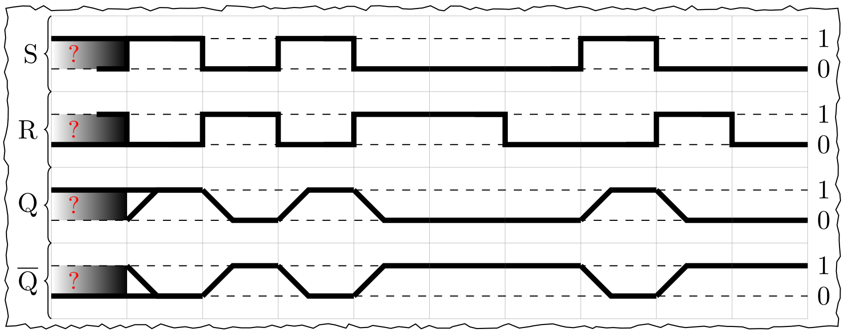
Objectif : *Comprendre les facteurs temporels dans les circuits intégrés.*

1. Quelle est l'équation qui lie entre eux les temps de propagation, de relaxation et de charge ? *Le temps de relaxation est la somme des deux autres*
2. Quelle est la différence fondamentale entre un circuit séquentiel et un circuit combinatoire ? *Voir cours.*
3. Plutôt que de donner un temps de relaxation pour chaque circuit, les fabriquants préfèrent donner une estimation de ce temps. Est-ce qu'ils donnent une valeur moyenne, la pire valeur possible, ou la plus petite valeur possible (la plus rapide) ? *La pire valeur possible. Les ingénieurs qui utilisent ces circuits doivent pouvoir être certain que quand leur circuit change de valeur de 0 à 1, le 1 est bien atteint au bout du temps donné.*

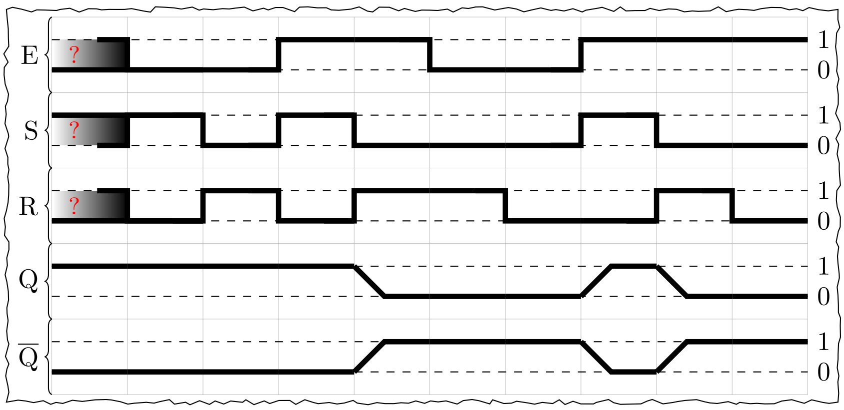
11 Chronogrammes à compléter

Objectif : *Maîtriser les 4 circuits séquentiels usuels.*

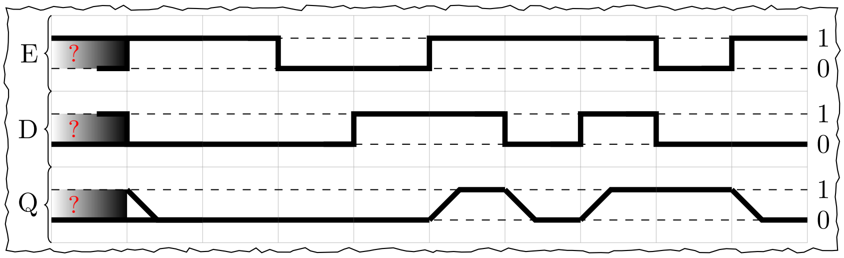
1. Mémoire RS.



2. Verrou RS.



3. Verrou D.



4. Bascule D.