

# Architecture pipeline

M. Dubacq

S1D 2009

## 1 Processeur à huit étages

**Objectif :** *Comprendre le principe de l'architecture pipeline.*

1. On regarde le cas d'un processeur à huit étages. Quelle est le nombre maximal d'instructions qui peuvent s'exécuter simultanément dans ce processeur ?
2. Le temps de cycle de ce processeur est de 0,5 ns. Quel est le temps nécessaire pour exécuter une instruction ?
3. Quelle est la cadence d'instructions maximale qui est possible sur ce processeur ? Quelle est l'accélération maximale ?
4. Les étapes 6 et 7 sont consacrées à la lecture et à l'écriture dans la mémoire cache de données (d'abord initialisation, puis consultation du bus de données). Quelle doit être la valeur maximale du temps d'accès au cache en cas de succès ?
5. Quel est le temps d'exécution des cinquante premières instructions ?

## 2 Dépendance d'instructions et de données

**Objectif :** *Comprendre le principe de la dépendance d'instructions et de la dépendances de données.*

Soit le programme suivant (t0 vaut 2 au départ, et v0 vaut 10) :

```
boucle: addi $t0,$t0,-1
        add $t1,$t1,$t2
        sll $t2,$t2,1
        bne $t0,$zero,boucle
        syscall
```

On se situe dans le cas du processeur à cinq étages étudié en cours. Le jeu d'instruction a une syntaxe simple : \$ introduit l'utilisation d'un registre, le résultat des opérations est écrit dans le *premier registre*, **bne** compare ses deux arguments et va à l'étiquette mentionnée si et seulement si ils sont différents (et sinon, va à l'instruction suivante) (et à la limite, on se moque un peu de ce que font exactement les instructions pour les besoins de cet exercice).

1. Est-ce qu'il y a une dépendance de données entre le t2 de la ligne 2 et celui de la ligne 3 ? Pourquoi ?
2. Est-ce qu'il y a une dépendance de données entre le t0 de la ligne 1 et celui de la ligne 4 ? Pourquoi ?
3. Est-ce qu'il est possible de résoudre les problèmes mentionnés plus haut avec une instruction NOP ? Est-ce qu'il reste des dépendances de données ?
4. Comment peut-on faire pour résoudre la dépendance d'instructions de la ligne 4 ?
5. En supposant qu'on anticipe que le saut ne se fait pas, sachant que le temps de cycle est de 1 ns, quel est le temps entre l'entrée de la première instruction et la fin de traitement de l'instruction syscall ?
6. Quelle est l'accélération effective ?

## 3 Fonctionnement superscalaire

**Objectif :** *Comprendre le principe de l'architecture superscalaire.*

Les composants d'un processeur à cinq étages mettent un temps donné ci-dessous à se stabiliser :

1. Récupération d'instruction : 0,5 ns ;
  2. Décodage d'instruction : 0,7 ns ;
  3. Exécution : 0,9 ns ;
  4. Écriture : 0,5 ns ;
  5. Sauvegarde dans les registres, calcul d'adresse suivante : 0,3 ns ;
1. Dans une architecture classique, quel est le temps de cycle minimal pour ce processeur ?

2. Combien de temps est nécessaire pour faire une instruction élémentaire (c'est une architecture RISC) ?
3. Pour faire une architecture à plusieurs étages, il faut insérer des registres qui mémorisent ce qui se passe entre les étages. Du coup, le temps de stabilisation est prolongé de 0,1 ns pour chaque étage. Pour faire une architecture pipeline, quel est le temps de cycle qu'il faut choisir ?
4. Dans ce cas, quel est le nombre de cycles par instructions dans le cas de l'architecture pipeline ? Quel est le nombre d'instruction par cycle ? Quel est le débit d'instructions ?
5. On envisage une architecture superscalaire où toutes les unités sont dédoublées. Peut-on changer le temps de cycle ? Quel est le nombre d'instructions par cycle et le débit d'instruction ?
6. On envisage une architecture superscalaire où seule l'unité d'exécution est dédoublée. Peut-on changer le temps de cycle ? Quel est le nombre d'instructions par cycle et le débit d'instruction ?
7. On envisage une architecture superscalaire où l'unité d'exécution et de décodage est dédoublée. Peut-on changer le temps de cycle ? Quel est le nombre d'instructions par cycle et le débit d'instruction ?